

#2 S.W.H
12/20/01

LAW OFFICES OF
JACOBSON HOLMAN
PROFESSIONAL LIMITED LIABILITY COMPANY

400 SEVENTH STREET, N. W.
WASHINGTON, D. C. 20004
(202) 638-6666

HARVEY B. JACOBSON, JR.
JOHN CLARKE HOLMAN
SIMOR L. MOSKOWITZ
ALLEN S. MELSER
MICHAEL R. SLOBASKY
MARSHA G. GENTNER
JONATHAN L. SCHERER
IRWIN M. AISENBERG
GEORGE W. LEWIS
WILLIAM E. PLAYER
YOON S. HAM
PHILIP L. O'NEILL
LINDA J. SHAPIRO
LEESA N. WEISS
SUZIN C. BAILEY*
MATTHEW J. CUCCIAS
DANIEL K. DORSEY
SUZANNAH K. SUNDBY*

JACOBSON HOLMAN STERN
OF COUNSEL
MARVIN R. STERN
NATHANIEL A. HUMPHRIES

TELEFAX:
(202) 393-5350
(202) 393-5351
(202) 393-5352

E-MAIL: IP@JHIP.COM
INTERNET: WWW.JHIP.COM

*BAR OTHER THAN D.C.

November 19, 2001

Atty. Docket No.: P67318US0
CUSTOMER NUMBER: 00136

Commissioner for Patents
Washington, D.C. 20231

Sir:

Transmitted herewith for filing is the patent application of **Masafumi YUGAMI and Makiko SUZUKI** for **VIDEO SIGNAL PROCESSING APPARATUS AND VIDEO DISPLAYING APPARATUS**. The application comprises a 39-page specification, including 31 claims (11 independent) and Abstract, 9 sheets of drawings, and a Declaration and Power of Attorney (3 sheets in total).

Accompanying the application for filing is:

A certified copy of **Japanese** Application No. 2000-352360, filed **November 20, 2000**, the priority of which is claimed under 35 U.S.C. §119;

A certified copy of **Japanese** Application No. 2001-313624, filed **October 11, 2001**, the priority of which is claimed under 35 U.S.C. §119;

A certified copy of **Japanese** Application No. 2001-320332, filed **October 18, 2001**, the priority of which is claimed under 35 U.S.C. §119;

A certified copy of **Japanese** Application No. 2001-320333, filed **October 18, 2001**, the priority of which is claimed under 35 U.S.C. §119; and

Assignment document, cover letter and \$40.00 fee for recordation of Assignment (2 sheets in total).

The filing fee has been calculated as shown:

Basic Fee for Large Entity:		\$ 740.00
Total Claims	31 - in excess of 20 = 11 (x \$18.00=)	198.00
Total Ind. Claims	11 - in excess of 3 = 8 (x \$84.00=)	672.00
		+
	TOTAL FILING FEE	\$ 1610.00

1036 U.S. PRO
09/988194
11/19/01

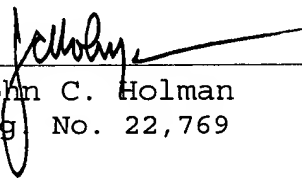
Applicant: Masafumi YUGAMI et al.

Check No. 55574, in the amount of \$1650.00 is enclosed to cover the Filing Fee and fee for recordation of Assignment. The Commissioner is hereby authorized to charge payment of any fees set forth in §§1.16 or 1.17 during the pendency of this application, or credit any overpayment, to Deposit Account No. 06-1358. A duplicate copy of this sheet is enclosed.

Respectfully submitted,

JACOBSON HOLMAN PLLC

By


John C. Holman
Reg. No. 22,769

cmf

日 本 国 特 許 庁
JAPAN PATENT OFFICE

11036 U.S. PRO
09/988194
11/19/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出 願 年 月 日
Date of Application:

2001年10月18日

出 願 番 号
Application Number:

特願2001-320333

出 願 人
Applicant(s):

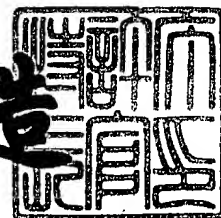
日本ビクター株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年11月 2日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3097188

【書類名】 特許願
【整理番号】 413001003
【提出日】 平成13年10月18日
【あて先】 特許庁長官殿
【国際特許分類】 H04N 7/01
H04N 7/015
H04N 5/46

【発明者】

【住所又は居所】 神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

【氏名】 鈴木 麻紀子

【発明者】

【住所又は居所】 神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

【氏名】 湯上 昌郁

【特許出願人】

【識別番号】 000004329
【氏名又は名称】 日本ビクター株式会社
【代表者】 寺田 雅彦
【電話番号】 045-450-2423

【先の出願に基づく優先権主張】

【出願番号】 特願2000-352360
【出願日】 平成12年11月20日

【手数料の表示】

【予納台帳番号】 003654
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
【物件名】 図面 1

【物件名】	要約書 1
【プルーフの要否】	要

【書類名】 明細書

【発明の名称】 映像信号処理装置及び映像表示装置

【特許請求の範囲】

【請求項 1】

有効走査線数 4 8 0 本のインターレース信号である第 1 の映像信号と、有効走査線数 1 0 8 0 本のインターレース信号である第 2 の映像信号とを入力映像信号とし、この入力映像信号を処理する映像信号処理装置において、

前記第 1 の映像信号の有効走査線数を 1 4 4 0 本に変換して、有効走査線数 1 4 4 0 本のインターレース信号として出力する第 1 の変換手段と、

前記第 2 の映像信号の有効走査線数を変更することなく、前記第 2 の映像信号に無画像信号を付加して、有効走査線数 1 4 4 0 本のインターレース信号として出力する第 2 の変換手段とを備えて構成したことを特徴とする映像信号処理装置。

【請求項 2】

前記第 1、第 2 の映像信号に加えて、有効走査線数 4 8 0 本のプログレッシブ信号である第 3 の映像信号を入力映像信号とし、この第 3 の映像信号の有効走査線数を 1 4 4 0 本に変換して、有効走査線数 1 4 4 0 本のインターレース信号として出力する第 3 の変換手段を備えて構成したことを特徴とする請求項 1 記載の映像信号処理装置。

【請求項 3】

前記第 1、第 2 の映像信号に加えて、有効走査線数 7 2 0 本のプログレッシブ信号である第 4 の映像信号を入力映像信号とし、この第 4 の映像信号の有効走査線数を 1 0 8 0 本に変換すると共に、有効走査線数 1 0 8 0 本に変換した前記第 4 の映像信号に無画像信号を付加して、有効走査線数 1 4 4 0 本のインターレース信号として出力する第 4 の変換手段を備えて構成したことを特徴とする請求項 1 または 2 のいずれかに記載の映像信号処理装置。

【請求項 4】

有効走査線数 4 8 0 本のインターレース信号である第 1 の映像信号と、有効走査線数 1 0 8 0 本のインターレース信号である第 2 の映像信号とを入力映像信号

とし、この入力映像信号による映像をアスペクト比 4 : 3 の表示部に表示する映像表示装置において、

前記第 1 の映像信号の有効走査線数を 1 4 4 0 本に変換して、有効走査線数 1 4 4 0 本のインターレース信号として出力する第 1 の変換手段と、

前記第 2 の映像信号の有効走査線数を変更することなく、前記第 2 の映像信号の上下部に無画像信号を付加することにより、前記表示部の垂直方向略中央部に前記第 2 の映像信号を配置し、前記表示部の垂直方向上下部に無画像部を配置した状態の有効走査線数 1 4 4 0 本のインターレース信号を出力する第 2 の変換手段とを備えて構成したことを特徴とする映像表示装置。

【請求項 5】

前記第 1、第 2 の映像信号に加えて、有効走査線数 4 8 0 本のプログレッシブ信号である第 3 の映像信号を入力映像信号とし、この第 3 の映像信号の有効走査線数を 1 4 4 0 本に変換して、有効走査線数 1 4 4 0 本のインターレース信号として出力する第 3 の変換手段を備えて構成したことを特徴とする請求項 4 記載の映像表示装置。

【請求項 6】

前記第 1、第 2 の映像信号に加えて、有効走査線数 7 2 0 本のプログレッシブ信号である第 4 の映像信号を入力映像信号とし、この第 4 の映像信号の有効走査線数を 1 0 8 0 本に変換すると共に、有効走査線数 1 0 8 0 本に変換した前記第 4 の映像信号の上下部に無画像信号を付加することにより、前記表示部の垂直方向略中央部に有効走査線数 1 0 8 0 本に変換した前記第 4 の映像信号を配置し、前記表示部の垂直方向上下部に無画像部を配置した状態の有効走査線数 1 4 4 0 本のインターレース信号を出力する第 4 の変換手段を備えて構成したことを特徴とする請求項 4 または 5 のいずれかに記載の映像表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、複数のフォーマットの映像信号を表示するのに好適な映像信号処理装置及び映像表示装置に関する。

【0002】

【従来の技術】

近年、テレビジョン受像機等の映像表示装置においては、デジタル放送の開始に伴って、複数のフォーマットの映像信号を表示する必要性が生じている。映像信号のフォーマットとしては、全走査線数525本、有効走査線数480本のインターレース(480i)、全走査線数1125本、有効走査線数1080本のインターレース(1080i)、全走査線数525本、有効走査線数480本のプログレッシブ(480p)、全走査線数750本、有効走査線数720本のプログレッシブ(720p)がある。

【0003】

これらのフォーマットにおいては、垂直周波数は同一であるが、1フィールド当たりの有効走査線数は、480iでは480/2本、1080iでは1080/2本、480pでは480本、720pでは720本と、それぞれ異なっている。一方、水平周波数は、480iでは15.75kHz、1080iでは33.75kHz、480pでは31.5kHz、720pでは45kHzと、それぞれ異なっている。

【0004】

映像表示装置において、これらの複数のフォーマットの映像信号を全て表示しようとした場合、映像表示装置の水平走査周波数を、15.75kHz、33.75kHz、31.5kHz、45kHzで切り換えることが考えられる。この場合、映像表示装置は、4種類の水平走査周波数に対応させなければならない。480iの映像信号をインターレースプログレッシブ(I-P)変換によって480pの映像信号とすれば、3種類の水平走査周波数に対応させればよい。それでも3種類の水平走査周波数に対応させる必要があるので、映像表示装置に表示するフォーマットとして、1080iに統一することも検討されている。

【0005】

【発明が解決しようとする課題】

上記のように、映像表示装置において複数のフォーマットの映像信号に対応させるには、例えば陰極線管(CRT)を用いた表示装置の場合では、フォーマッ

ト毎にC R Tの同期を変更する必要がある、偏向回路にて大きな電圧変動が生じて偏向回路に大きな負荷がかかる。C R Tを用いない表示装置においても、複数のフォーマットの映像信号に対応させることは、駆動回路にとって大きな負担となる。

【 0 0 0 6 】

また、フォーマットが切り替わるたびに同期を取り直さなければならないので、品位上の問題から、画面上の映像の表示を一時的にマスク（ブランキング）する必要がある。よって、映像表示装置の制御動作が煩雑化すると共に、一時的に映像が表示されないという不具合を招くこととなる。このように、映像表示装置において複数のフォーマットの映像信号に対応させることは、各種の不具合を招いてしまう。

【 0 0 0 7 】

そこで、これらの問題点を解決するには、映像表示装置に表示するフォーマットを1 0 8 0 iに統一すればよい。しかしながら、フォーマットを1 0 8 0 iに統一すると、次のような不具合がある。4 8 0 iを1 0 8 0 iに変換すると、走査線数は9 / 4 倍となり、7 2 0 pを1 0 8 0 iに変換すると、走査線数は3 / 4 倍となる。従って、フォーマットを1 0 8 0 iに統一すると、フォーマット変換の処理として、走査線数の拡大と縮小とが混在することになり、フォーマット変換の処理回路を構成する補間フィルタのハードウェア規模が大きくなってしまふ。

【 0 0 0 8 】

本発明はこのような問題点に鑑みなされたものであり、複数のフォーマットの入力映像信号を、実用上最も優れた単一のフォーマットに変換して表示することができる映像信号処理装置及び映像表示装置を提供することを目的とする。また、ハードウェア規模や信号処理の煩雑さの増大を最小限に抑えつつ、極めて高画質の映像を表示することができる映像信号処理装置及び映像表示装置を提供することを目的とする。

【 0 0 0 9 】

【課題を解決するための手段】

本発明は、上述した従来の技術の課題を解決するため、

(a) 有効走査線数 4 8 0 本のインターレース信号である第 1 の映像信号と、有効走査線数 1 0 8 0 本のインターレース信号である第 2 の映像信号とを入力映像信号とし、この入力映像信号を処理する映像信号処理装置において、前記第 1 の映像信号の有効走査線数を 1 4 4 0 本に変換して、有効走査線数 1 4 4 0 本のインターレース信号として出力する第 1 の変換手段 (1 1, 2 1, 3) と、前記第 2 の映像信号の有効走査線数を変更することなく、前記第 2 の映像信号に無画像信号を付加して、有効走査線数 1 4 4 0 本のインターレース信号として出力する第 2 の変換手段 (2 5, 3, 7 0, 8 0) とを備えて構成したことを特徴とする映像信号処理装置を提供し、

(b) 有効走査線数 4 8 0 本のインターレース信号である第 1 の映像信号と、有効走査線数 1 0 8 0 本のインターレース信号である第 2 の映像信号とを入力映像信号とし、この入力映像信号による映像をアスペクト比 4 : 3 の表示部に表示する映像表示装置において、前記第 1 の映像信号の有効走査線数を 1 4 4 0 本に変換して、有効走査線数 1 4 4 0 本のインターレース信号として出力する第 1 の変換手段 (1 1, 2 1, 3) と、前記第 2 の映像信号の有効走査線数を変更することなく、前記第 2 の映像信号の上下部に無画像信号を付加することにより、前記表示部の垂直方向略中央部に前記第 2 の映像信号を配置し、前記表示部の垂直方向上下部に無画像部を配置した状態の有効走査線数 1 4 4 0 本のインターレース信号を出力する第 2 の変換手段 (2 5, 3, 7 0, 8 0) とを備えて構成したことを特徴とする映像表示装置を提供するものである。

【 0 0 1 0 】

【発明の実施の形態】

以下、本発明の映像信号処理装置及び映像表示装置について、添付図面を参照して説明する。図 1 は本発明の映像信号処理装置及び映像表示装置の基本的構成例を示すブロック図、図 2 は 4 8 0 p, 7 2 0 p, 1 0 8 0 p から 1 4 4 0 p への走査線変換を示す図、図 3 は補間フィルタの構成例を示すブロック図、図 4 は 4 8 0 p, 7 2 0 p, 1 0 8 0 p から 1 4 4 0 p への走査線変換における位相のオフセットを示す図、図 5 はプログレッシブインターレース変換を示す図、図

6は本発明の映像信号処理装置及び映像表示装置の一実施形態を示すブロック図、図7は本発明の映像信号処理装置及び映像表示装置の他の実施形態を示すブロック図、図8は本発明の映像信号処理装置及び映像表示装置による画面表示例を示す図である。

【0011】

本発明の映像信号処理装置及び映像表示装置は、入力された映像信号が480i、1080i、480p、720pのいずれであっても、有効走査線数1440本のインターレース(1440i)または有効走査線数1440本のプログレッシブ(1440p)にフォーマット変換することの特徴とする。図1は1440iまたは1440pにフォーマット変換するための具体的構成を示している。以下説明する本実施形態では、最も好ましい実施形態として、入力映像信号を480i、1080i、480p、720pの4種類としているが、本発明の映像表示装置としては、これらの映像信号全てを入力映像信号とする必要はない。本発明は、その内の任意の2つ以上の組み合わせを入力映像信号とする場合に適用できる。

【0012】

図1において、図示していない映像信号の供給源より供給された480iの映像信号は、I-P変換部1のI-P変換器11に入力されて480pのプログレッシブ信号に変換される。図示していない映像信号の供給源より供給された1080iの映像信号は、I-P変換部1のI-P変換器12に入力されて1080pのプログレッシブ信号に変換される。インターレース信号をプログレッシブ信号に変換するのは、フィールド内の情報量を増やし、後段の拡大縮小部2における拡大縮小処理をより高画質に行うためである。

【0013】

本実施形態では、I-P変換器11、12においてプログレッシブ信号に変換するとしたが、実際に倍の走査線密度とするのではなく、プログレッシブ信号にするための補間データをバッファ等に保存してプログレッシブ相当の信号を生成するだけでもよい。要するに、480p、1080pの走査線数の信号となっていればよい。

【 0 0 1 4 】

I - P 変換器 1 1 より出力された 4 8 0 p の信号は、拡大縮小部 2 の 6 / 2 変換器 2 1 に入力される。I - P 変換器 1 2 より出力された 1 0 8 0 p の信号は、拡大縮小部 2 の 4 / 3 変換器 2 3 に入力される。図示していない映像信号の供給源より供給された 4 8 0 p の映像信号は、そのまま 6 / 2 変換器 2 1 に入力される。図示していない映像信号の供給源より供給された 7 2 0 p の映像信号は、拡大縮小部 2 の 2 / 1 変換器 2 2 に入力される。

【 0 0 1 5 】

ここで、図示していない映像信号の供給源とは、例えば、デジタルテレビジョン放送の受信部や、ビデオテープレコーダあるいはビデオディスクプレーヤ等の外部機器である。入力された映像信号のフォーマットを判別し、切換器（スイッチ）を用いて、4 8 0 i であれば I - P 変換器 1 1 に、1 0 8 0 i であれば I - P 変換器 1 2 に、4 8 0 p であれば 6 / 2 変換器 2 1 に、7 2 0 p であれば 2 / 1 変換器 2 2 にそれぞれ選択的に供給する。

【 0 0 1 6 】

拡大縮小部 2 の 6 / 2 変換器 2 1、2 / 1 変換器 2 2、4 / 3 変換器 2 3 は、入力された 4 8 0 p、7 2 0 p、1 0 8 0 p それぞれの信号の走査線数をそれぞれ 6 / 2 倍、2 / 1 倍、4 / 3 倍して、1 4 4 0 p の信号に変換するためのものである。本実施形態では、4 8 0 p、7 2 0 p、1 0 8 0 p の信号に対する処理は全て拡大であるので、縮小処理は必要ないが、種々の表示態様（縮小表示等）を考慮して、拡大縮小部と称している。図 2 は、4 8 0 p、7 2 0 p、1 0 8 0 p の信号を 1 4 4 0 p に走査線変換する様子を示している。図 2 に示すように、4 8 0 p、7 2 0 p、1 0 8 0 p から 1 4 4 0 p への変換においては、走査線数はそれぞれ 3 倍、2 倍、4 / 3 倍である。

【 0 0 1 7 】

よって、拡大縮小部 2 におけるフォーマット変換のための走査線変換処理は全て拡大で行われ、上述したような 1 0 8 0 i に統一する場合のような走査線変換の際の縮小による情報欠落が全くないのである。また、6 / 2 変換器 2 1、2 / 1 変換器 2 2、4 / 3 変換器 2 3 を構成する補間フィルタの補間比率は簡単な整

数比であるため、フィルタ係数を簡易に構成することができる。よって、 $6/2$ 変換器 21, $2/1$ 変換器 22, $4/3$ 変換器 23 のハードウェア規模はさほど大きくならない。

【0018】

これについて 1080i に統一した場合と比較して具体的に説明する。それぞれのフォーマットにおける補間位相、即ち、入力信号に対する 1440p の位置は、

$$480p \rightarrow \{0, 1/3, 2/3\}$$

$$720p \rightarrow \{0, 1/2\}$$

$$1080p \rightarrow \{0, 3/4, 1/2, 1/4\}$$

となり、拡大縮小部 2 は、それぞれの補間位相分の補間フィルタを備えればよい。

【0019】

一方、1080i に統一した場合した場合には、

$$480p \rightarrow \{0, 4/9, 8/9, 3/9, 5/9, 2/9, 6/9, 1/9\}$$

$$720p \rightarrow \{0, 2/3, 1/3\}$$

となり、1440p に統一した場合と比較して非常に多くの補間位相が発生してしまう。

【0020】

1440p に統一した場合には、上記のように、6 組の補間フィルタで拡大縮小部 2 を構成することができるため、補間フィルタとして、乗算器を用いなくても加算器を用いるだけで精度よく小規模で実現することが可能である。一方、1080p に統一した場合には、10 組もの補間フィルタを必要とするので、演算精度が高くフィルタ係数の自由度が大きい乗算器を用いた構成とすることが必要となる。よって、ハードウェア規模が大きくなる。これに加え、分母に 9 という位相を持つため補間精度も悪くなってしまう。

【0021】

図 3 を用いて、本発明によりハードウェア規模を小さくできることについて説明する。図 3 では、係数 $\{1/2, 1/2\}$ の補間フィルタを例にしている。図

3 (A) と図 3 (B) とで、同一機能部分には同一符号が付してある。図 3 (A) は、補間フィルタを遅延器 4 と加算器 5 とで構成した場合を示している。なお、図 3 (A) の加算器 5 は $1/2$ 加算器である。この図 3 (A) に示す補間フィルタと同等のフィルタは、図 3 (B) に示すように、遅延器 4 と加算器 5 と乗算器 6, 7 でも実現することができる。なお、乗算器 6, 7 は入力信号を $1/2$ 倍にして出力するものである。

【0022】

図 3 (B) に示す構成で演算精度を図 3 (A) と同一にした場合、ハードウェア規模は 33 倍程度必要となる。なぜならば、入力信号を 8 ビットとすると、入力信号 8 ビット \times 係数 8 ビットの乗算器は加算器が 16 個必要であるからである。なお、図 3 (A) の構成は係数に自由度はないが、ビット精度内で自由に係数を与えることができる。

【0023】

このように、フォーマットを 1440 p に統一する本発明においては、拡大縮小部 2 の補間フィルタを加算器で実現できるので、ハードウェア規模を小さくすることができる。また、たとえ 1080 p に統一する場合において補間フィルタを加算器で実現したとしても、1440 p に統一する本発明の方がハードウェア規模は小さくなる。このように、フォーマットを 1440 p に統一する本発明では、1080 p に統一する場合よりもそもそもハードウェア規模を小さくすることができ、補間フィルタを加算器で構成することもできるため、さらにハードウェア規模を小さくすることができるのである。

【0024】

また、本発明では、高精度で画質劣化の少ない補間が可能である。1080 p に統一する場合のように補間フィルタの位相が多岐に渡る場合、位相によって画質に大きな差が生じるため、結果として画質劣化を伴うこととなる。これは、位相が 0 または 1 の近傍が最も原信号に近い成分を保存し、周辺原信号を混合する位相 $1/2$ の近傍が最も高域成分が落ちるためである。1つの画像の中に多くの補間位相が存在すると、高域成分の有無により補間縞を発生してしまう。従って、多くの補間位相が必要となる 1080 p (1080 i も同様) への変換と比較

して、少ない補間位相でよい1440p（1440iも同様）への変換は、画質劣化が少なく、高画質となる。

【0025】

ところで、図2において、480p、720p、1080pから1440pへの走査線変換の補間位相について説明したが、原画素をそのまま出力することになる位相0の出力画素は、他の補間画素に比べて高帯域成分を持ってしまう。そこで、拡大縮小部2における走査線変換処理は、図4に示すように、補間位相を一様にオフセットさせるようにする。補間位相をずらすことにより、ラインフリッカ等の画質劣化を防ぐことができる。図4のように補間位相をずらすことは、補間フィルタの係数を適宜に設定することによって容易に実現できる。

【0026】

なお、図4のように補間位相をずらすことによって画質のシャープさが多少失われたとしても、1440pまたは1440iの信号とした後に高域成分を補償するエンハンサ等によって画質を制御することが可能であるので、問題となることはない。

【0027】

再び図1に戻り、拡大縮小部2より出力された1440pの信号は、プログレッシブインターレース（P-I）変換部3に入力される。なお、本発明の映像信号処理装置が1440pの信号を出力したり、本発明の映像表示装置が1440pの信号を表示する場合には、P-I変換部3は不要となる。本実施形態では、最終的に1440iの信号を出力する場合について示す。P-I変換部3は、入力された1440pの信号をインターレース変換して1440iの信号を出力する。

【0028】

即ち、図5に示すように、1440pの信号の走査線を2本の走査線毎に1本間引き、フィールド毎にその間引き位相を1走査線分（1ライン）オフセットさせる。これにより、1440pのプログレッシブ信号は、第1フィールド及び第2フィールドとでインターレースした水平周波数45kHzを有する1440iのインターレース信号となる。1440iの信号は、映像信号処理装置から外部

へと出力されたり、映像表示装置のＣＲＴ等の表示部にて表示される。なお、映像表示装置の場合には、Ｐ－Ｉ変換部３の出力は、表示部を駆動するための駆動回路に供給され、駆動回路が表示部を駆動して映像を表示する。

【 0 0 2 9 】

表示部としてＣＲＴを用いた映像表示装置の場合、７２０ｐの信号を表示することができる偏向回路をベースとして用い、垂直偏向の位相を信号処理の出力位相に合わせてオフセットして１４４０ｉの信号を表示すればよい。よって、本発明の映像表示装置は、既存の駆動回路（偏向回路等）を若干改良するだけで実現することができる。インターレース対応のドットマトリクス型の表示装置であっても、信号処理の出力フィールドに合わせて信号を書き込むことにより、１４４０ｉの信号を表示することができる。よって、本発明の映像表示装置は、大幅なコストアップなく実現可能である。

【 0 0 3 0 】

さらに、Ｉ－Ｐ変換部１において、前述のように、入力された４８０ｉまたは１０８０ｉの信号を実際に倍の走査線密度とするのではなく、プログレッシブ相当の信号を生成するだけとした場合には、次のような利点を有する。この場合、拡大縮小部２以降の回路は、７２０ｐフォーマットと同等の７４．２５ＭＨｚのクロックレートで全ての処理がなされることになる。１０８０ｉフォーマットのクロックも７２０ｐと同じ７４．２５ＭＨｚであるから、信号処理上、上７２０ｐ、１０８０ｉ、１４４０ｉの信号を同一クロックで処理することができる。

【 0 0 3 1 】

このように、クロックを統一した場合には、水平周期や水平有効画素は７２０ｐと同等の１２８０画素となる。１０８０ｉの水平有効画素は１９２０画素であるから、７４．２５ＭＨｚで処理すると水平有効画素は本来の１９２０画素から１２８０画素に減るが、民生のテレビジョン受像機やドットマトリクス型の表示装置においては実用上、１２８０画素もあれば十分である。勿論、１４４０ｉに変換した際の水平有効画素を１９２０画素とするよう、Ｐ－Ｉ変換部３の出力のクロックレートを増やしてもよい。

【 0 0 3 2 】

以上のようにして、本発明の映像信号処理装置及び映像表示装置においては、映像信号のフォーマットを1440i（または1440p）に統一したので、ハードウェア規模の小さな補間フィルタで、単一のフォーマットに変換することが可能となる。

【0033】

次に、映像表示装置で用いる表示部のアスペクト比が4：3である場合の本発明の映像信号処理装置及び映像表示装置について詳細に説明する。入力された映像信号のアスペクト比が16：9のいわゆるワイド映像をアスペクト比が4：3の表示部に表示する場合、図8に示すように、ワイド映像を垂直方向の略中央部に配置し、その上下に黒またはグレーの無画像信号を配置するのが好ましい。

【0034】

本発明では、1440iの信号を表示する能力を有しているので、アスペクト比16：9のワイド映像が1080iの信号であれば、1080iの信号をそのまま表示することができる。図8に示すように、1080iの信号を画面の垂直方向の略中央部に配置すると、上下の無画像部にはそれぞれ180iの無画像信号を配置すればよい。

【0035】

図6は、図8の表示方法を実現するための好適な一実施形態を示している。図6において、図1と同一部分には同一符号を付し、その説明を適宜省略する。なお、図6に示す実施形態は、入力映像信号が1080iと720pの場合に、図8のような表示方法を選択することができるよう構成したものである。

【0036】

図6において、I-P変換器12より出力された1080pの信号は、切換部60の切換器62に輸入される。720pの信号は、切換部60の切換器61に輸入される。切換器61は、入力された720pの信号を、後述する拡大縮小部2の2/1変換器22に供給するか、3/2変換器24に供給するかを切り換えるものである。切換器62は、入力された1080pの信号を、後述する拡大縮小部2の4/3変換器23に供給するか、1/1変換器25に供給するかを切り換えるものである。

【 0 0 3 7 】

切換部 6 0 の切換器 6 1, 6 2 には、切換制御信号が入力される。切換制御信号は、一例として、図 6 に示す映像信号処理装置をアスペクト比 1 6 : 9 の表示部に接続するか、アスペクト比 4 : 3 の表示部に接続するかに応じて、ユーザが選択するものである。以下の説明では、入力映像信号が 1 0 8 0 i と 7 2 0 p の場合にはワイド映像であるとする。

【 0 0 3 8 】

切換部 6 0 を設けているのは、表示部のアスペクト比が 4 : 3 の場合と 1 6 : 9 の場合のいずれにも対応できるようにするためである。映像信号処理装置とアスペクト比 4 : 3 の表示部とを一体化した映像表示装置のように、表示部のアスペクト比が 4 : 3 で固定であり、1 0 8 0 i と 7 2 0 p はワイド映像のみであるとするれば、切換部 6 0 は削除可能であり、拡大縮小部 2 の 2 / 1 変換器 2 2 や 4 / 3 変換器 2 3 も不要となる。

【 0 0 3 9 】

他の例として、デジタル放送信号として映像信号や音声信号の番組信号とは別に付加的に送信される付加情報に含まれるアスペクト比の情報を切換制御信号とすることもできる。図 6 に示す映像信号処理装置とアスペクト比 4 : 3 の表示部とを一体化した本発明の映像表示装置の場合、付加情報に含まれるアスペクト比の情報を切換制御信号とすればよい。

【 0 0 4 0 】

拡大縮小部 2 の 3 / 2 変換器 2 4 は、入力された 7 2 0 p の信号の走査線数を 3 / 2 倍して 1 0 8 0 本にすると共に、図示していないメモリに書き込んで 1 4 4 0 p の信号の周波数を有するクロックによって読み出す。このとき、3 / 2 変換器 2 4 は、走査線数が 1 4 4 0 本ではなく 1 0 8 0 本であることに伴い、読み出すタイミングをずらす処理も行う。3 / 2 変換器 2 4 の出力信号の走査線数は 1 0 8 0 本ではあるが、読み出し速度が変換されて 1 4 4 0 p フォーマットの信号形態となっている。

【 0 0 4 1 】

拡大縮小部 2 の 1 / 1 変換器 2 5 は、入力された 1 0 8 0 p の信号の走査線数

を 1 / 1 倍して、即ち、走査線数は変更せず、図示していないメモリに書き込んで 1 4 4 0 p の信号の周波数を有するクロックによって読み出す。このとき、1 / 1 変換器 2 5 は、走査線数が 1 4 4 0 本ではなく 1 0 8 0 本であることに伴い、読み出すタイミングをずらす処理も行う。1 / 1 変換器 2 5 の出力信号の走査線数は 1 0 8 0 本ではあるが、読み出し速度が変換されて 1 4 4 0 p フォーマットの信号形態となっている。

【 0 0 4 2 】

従って、P - I 変換部 3 の出力は、走査線数 1 4 4 0 本の 1 4 4 0 i フォーマットの信号の場合もあるし、走査線数 1 0 8 0 本の 1 4 4 0 i フォーマットの信号の場合もある。P - I 変換部 3 より出力された 1 4 4 0 i の信号 (1 4 4 0 i フォーマットの信号) は切換部 7 0 に入力される。切換部 7 0 には、無画像信号発生部 8 0 より出力される無画像信号も入力される。また、切換部 7 0 には、P - I 変換部 3 の出力と無画像信号発生部 8 0 より出力される無画像信号との切換を行うか否かを制御するための制御信号と、垂直位置識別信号が入力される。垂直位置識別信号は、表示部の垂直方向の位置を識別するためのものであり、水平同期信号及び垂直同期信号より生成することができる。

【 0 0 4 3 】

入力された映像信号のアスペクト比が 4 : 3 であれば、即ち、入力映像信号が 4 8 0 i や 4 8 0 p であれば、切換部 7 0 は常に P - I 変換部 3 の出力を選択する。入力された映像信号のアスペクト比が 1 6 : 9 であれば、即ち、入力映像信号が 1 0 8 0 i や 7 2 0 p であれば、切換部 7 0 は、表示部の上下部においては無画像信号発生部 8 0 より出力される無画像信号を選択し、略中央部においては P - I 変換部 3 の出力を選択する。これにより、走査線数 1 0 8 0 本の 1 4 4 0 i フォーマットの信号に無画像信号が付加され、走査線数 1 4 4 0 本の 1 4 4 0 i フォーマットの信号とされ、図 8 に示すような表示方法が実現される。

【 0 0 4 4 】

図 7 は図 8 に示す表示方法を実現する他の実施形態を示している。図 7 において、図 1 と同一部分には同一符号を付し、その説明を適宜省略する。なお、図 7 においては、簡略化のため、入力映像信号が 1 0 8 0 i の場合に、図 8 のような

表示方法を選択することができるよう構成している。特に説明しないが、入力映像信号が 7 2 0 p の場合も同様な回路によって図 8 の表示方法を実現することができる。

【 0 0 4 5 】

図 7 において、入力された 1 0 8 0 i の信号は、メモリ 9 0 に書き込まれ、1 4 4 0 i の信号の周波数を有するクロックによって読み出される。メモリ 9 0 の出力信号の走査線数は 1 0 8 0 本ではあるが、読み出し速度が変換されて 1 4 4 0 p フォーマットの信号形態となっている。無画像信号発生部 8 1 は、図 6 の無画像信号発生部 8 0 と同様のものである。合成部 1 0 0 は、メモリ 9 0 の出力信号と無画像信号発生部 8 1 より出力される無画像信号とを合成し、メモリ 9 0 の出力信号の上下部に無画像信号を付加する。これにより、合成部 1 0 0 の出力は、図 8 に示すような走査線数 1 4 4 0 本の 1 4 4 0 i フォーマットの信号とされる。

【 0 0 4 6 】

切換部 1 1 0 には、図 6 と同様の切換制御信号が入力される。切換部 1 1 0 は、切換制御信号に応じて、P - I 変換部 3 と合成部 1 0 0 とのいずれかを選択して出力する。以上により、図 8 に示すような表示方法が実現される。

【 0 0 4 7 】

【発明の効果】

以上詳細に説明したように、本発明の映像信号処理装置は、有効走査線数 4 8 0 本のインターレース信号である第 1 の映像信号の有効走査線数を 1 4 4 0 本に変換して、有効走査線数 1 4 4 0 本のインターレース信号として出力する第 1 の変換手段と、有効走査線数 1 0 8 0 本のインターレース信号である第 2 の映像信号の有効走査線数を変更することなく、前記第 2 の映像信号に無画像信号を付加して、有効走査線数 1 4 4 0 本のインターレース信号として出力する第 2 の変換手段とを備えて構成した。また、本発明の映像表示装置は、第 1 の映像信号の有効走査線数を 1 4 4 0 本に変換して、有効走査線数 1 4 4 0 本のインターレース信号として出力する第 1 の変換手段と、第 2 の映像信号の有効走査線数を変更することなく、第 2 の映像信号の上下部に無画像信号を付加することにより、表示

部の垂直方向略中央部に第 2 の映像信号を配置し、表示部の垂直方向上下部に無画像部を配置した状態の有効走査線数 1 4 4 0 本のインターレース信号を出力する第 2 の変換手段とを備えて構成した。

従って、複数のフォーマットの入力映像信号を、実用上最も優れた単一のフォーマットに変換して表示することができる。また、ハードウェア規模や信号処理の煩雑さの増大を最小限に抑えつつ、極めて高画質の映像を表示することができる。さらに、本発明は、表示部のアスペクト比が 4 : 3 の場合に、有効走査線数 1 0 8 0 本のインターレース信号を極めて高画質に表示することができる。

【図面の簡単な説明】

【図 1】

本発明の基本的構成例を示すブロック図である。

【図 2】

4 8 0 p, 7 2 0 p, 1 0 8 0 p から 1 4 4 0 p への走査線変換を示す図である。

【図 3】

補間フィルタの構成例を示すブロック図である。

【図 4】

4 8 0 p, 7 2 0 p, 1 0 8 0 p から 1 4 4 0 p への走査線変換における位相のオフセットを示す図である。

【図 5】

P - I 変換を示す図である。

【図 6】

本発明の一実施形態を示すブロック図である。

【図 7】

本発明の他の実施形態を示すブロック図である。

【図 8】

本発明による画面表示例を示す図である。

【符号の説明】

1 インターレースプログレッシブ変換部 (I - P 変換部)

2 拡大縮小部

3 プログレッシブインターレース変換部 (P-I 変換部)

1 1, 1 2 I-P 変換器

2 1 6/2 変換器

2 2 2/1 変換器

2 3 4/3 変換器

2 4 3/2 変換器

2 5 1/1 変換器

6 0, 7 0, 1 1 0 切換部

6 1, 6 2 切換器

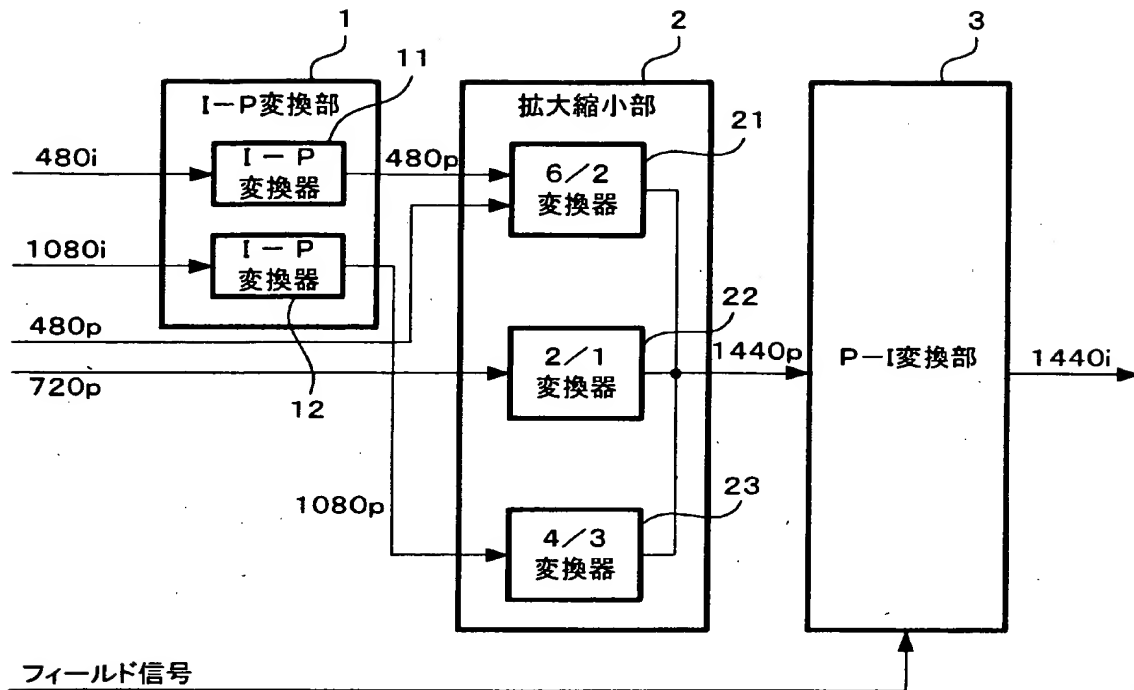
8 0, 8 1 無画像信号発生部

9 0 メモリ

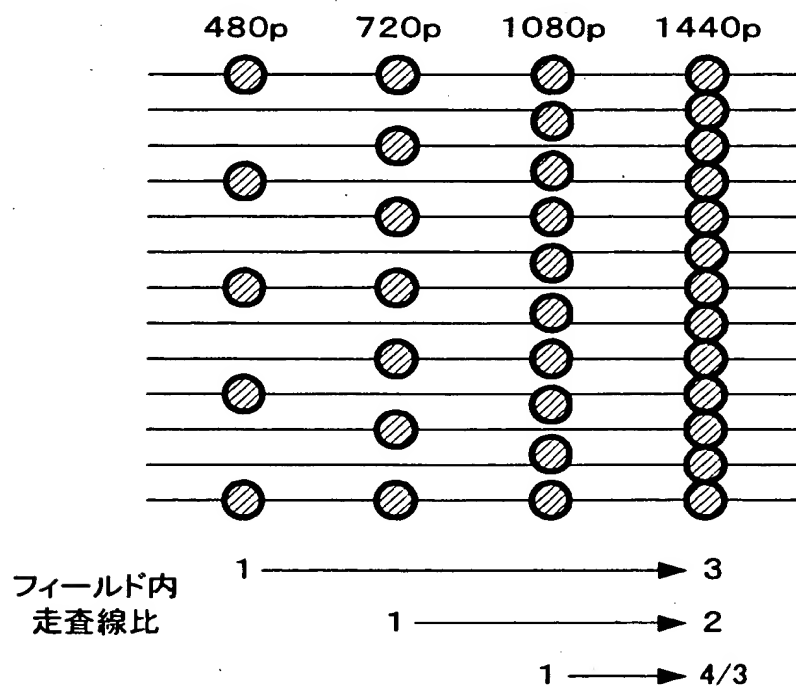
1 0 0 合成部

【書類名】 図面

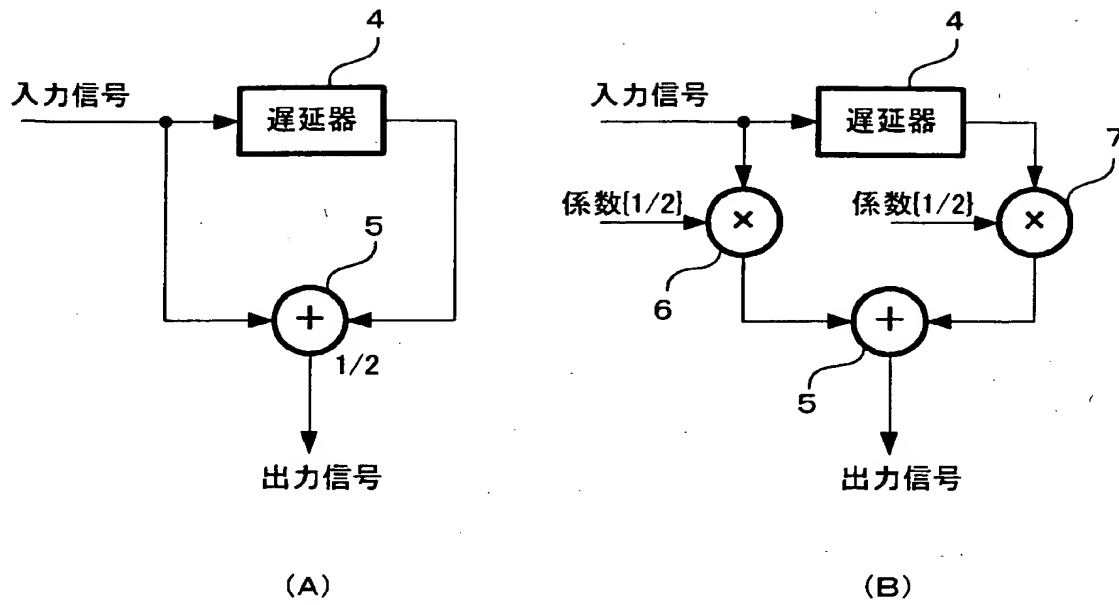
【図 1】



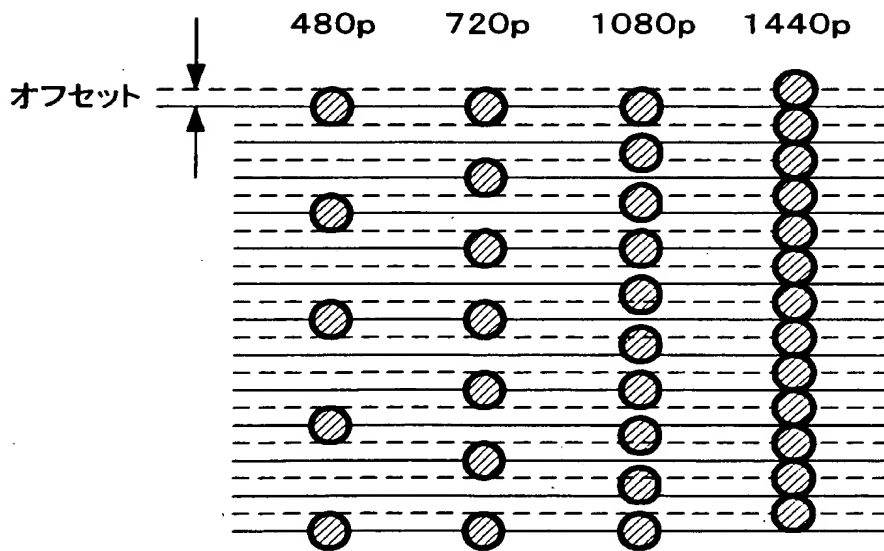
【図 2】



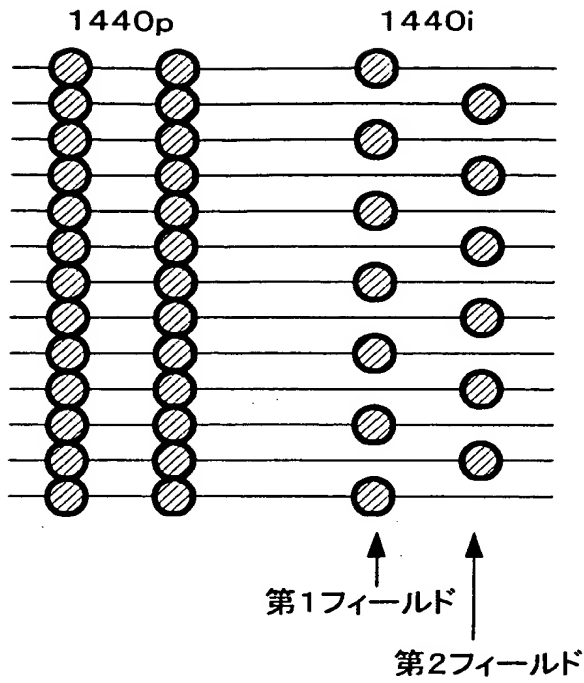
【図 3】



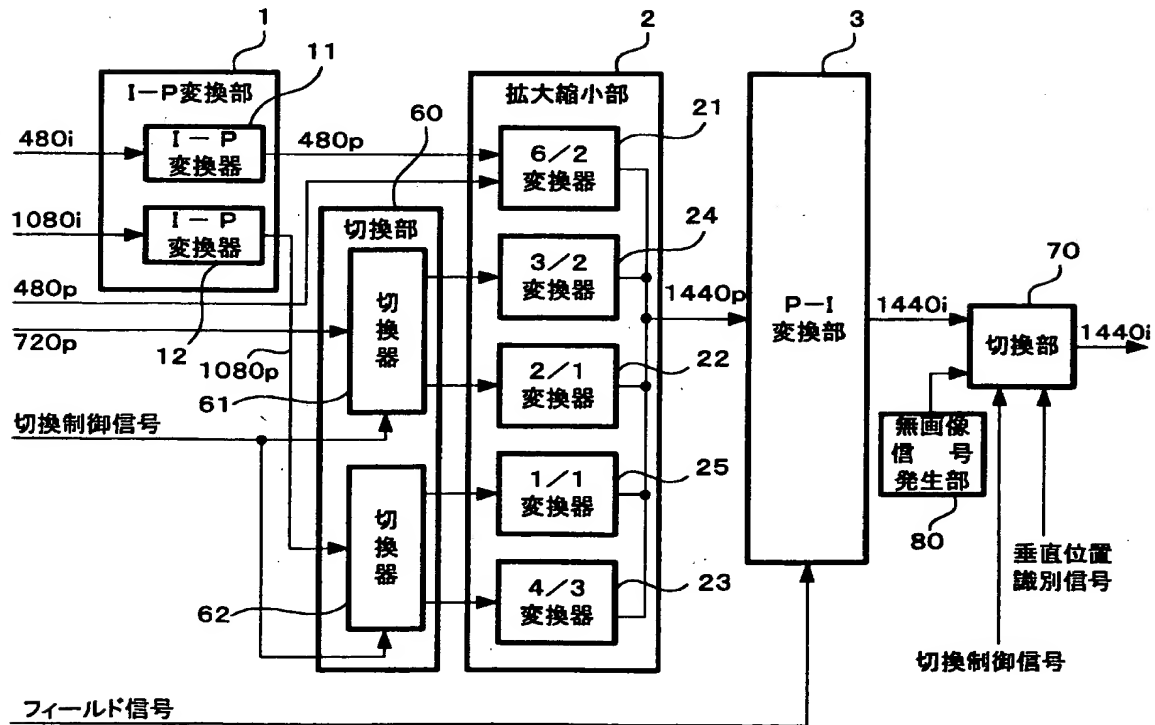
【図 4】



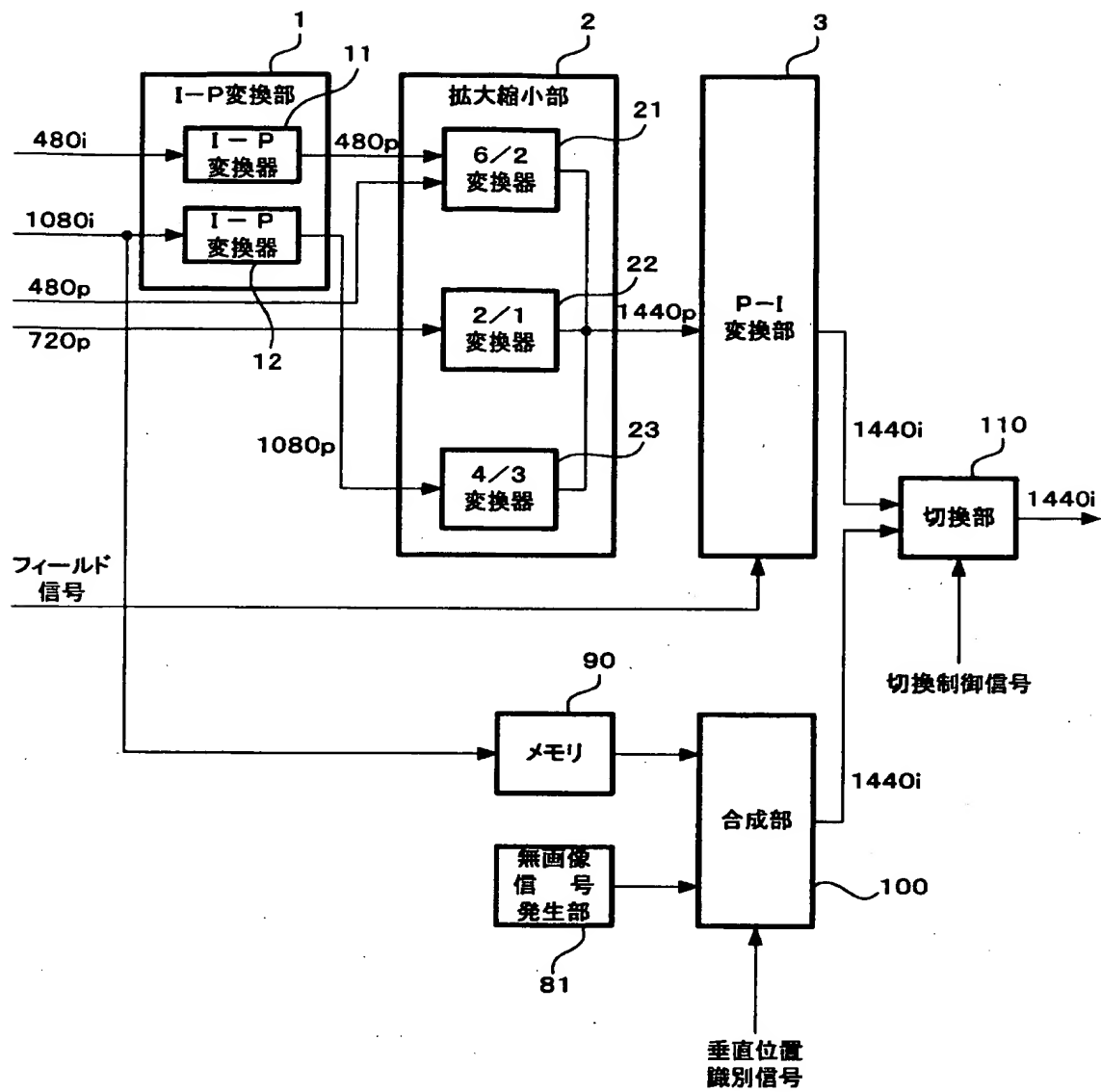
【図 5】



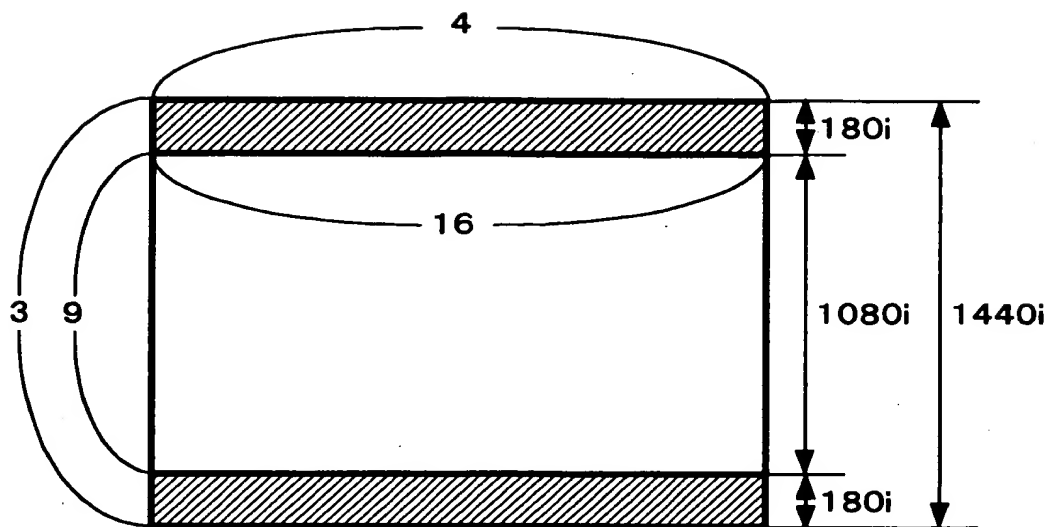
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 複数のフォーマットの入力映像信号を実用上最も優れた単一のフォーマットに変換して表示することができる映像信号処理装置及び映像表示装置を提供する。

【解決手段】 I-P変換部1, 拡大縮小部2, P-I変換部3によって480i, 480pを1440iに変換する。1080iであれば、走査線数を変更せず、1080本のままとし、無画像信号発生部80から出力される無画像信号を付加する。720pであれば、走査線数を1080本に変換して、無画像信号発生部80から出力される無画像信号を付加する。

【選択図】 図6

出 願 人 履 歴 情 報

識別番号 [000004329]

1. 変更年月日 1990年 8月 8日

[変更理由] 新規登録

住 所 神奈川県横浜市神奈川区守屋町3丁目12番地
氏 名 日本ビクター株式会社